

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007971

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 21/28  
H01L 21/3065  
H01L 21/768  
H01L 29/78  
H01L 21/336

(21)Application number : 07-154765

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 21.06.1995

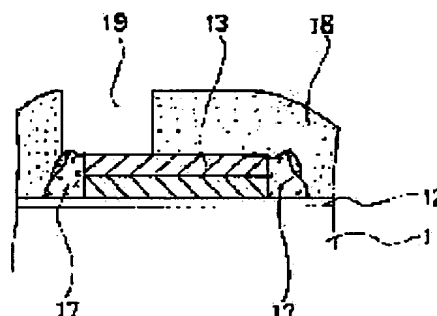
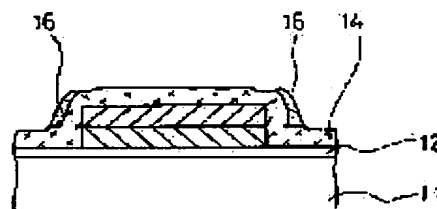
(72)Inventor : TAKAO YUKIHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To prevent a base film from being etched even when part of a contact hole is displaced from a wiring layer owing to mistaken alignment by forming an etching stopper film composed of a silicon nitride film on the side wall of the wiring layer.

**CONSTITUTION:** There are first formed a gate SiO<sub>2</sub> 12 and a gate electrode layer 13 on a silicon substrate 11. An Si<sub>3</sub>N<sub>4</sub> film 14 is formed so as to cover the gate electrode layer 13, the entire surface of which is etched to form a spacer film 16 on a stepped part of the Si<sub>3</sub>N<sub>4</sub> film 14. Then, the Si<sub>3</sub>N<sub>4</sub> film 14 is subjected to anisotropic etching using the spacer film 16 as a mask to form an etching stopper film 17 composed of the Si<sub>3</sub>N<sub>4</sub> film on the side wall of the gate electrode layer 13. Thereafter, an interlayer insulating film 18 composed of a BPSG film, etc., is formed so as to cover the gate electrode layer 13, and a contact hole 19 is formed. Thereupon, even if the contact hole 19 is displaced, the base gate insulating film 12 is prevented from being etched because of the presence of the etching stopper film 17.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-7971

(43) 公開日 平成9年(1997)1月10日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/28		H 0 1 L	21/28
	21/3065			21/302
	21/768			21/90
	29/78			29/78
	21/336			3 0 1 P

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21) 出願番号 特願平7-154765

(22) 出願日 平成7年(1995)6月21日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 高尾 幸弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

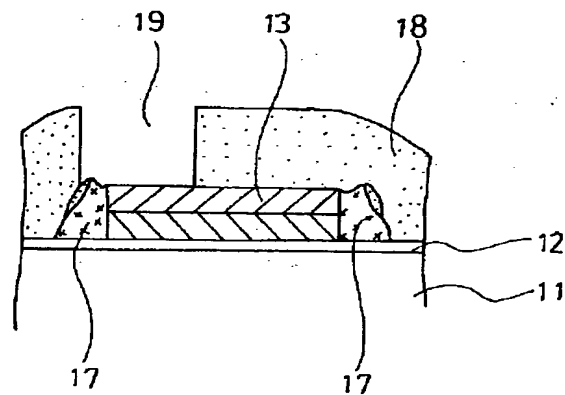
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 コンタクト孔のミスアライメントに対するずれ余裕領域Δを従来に比して小さくした設計ルールを実現する。

【構成】 シリコン基板(11)上に形成したゲートSiO<sub>2</sub>膜(12)上にゲート電極層(13)を形成し、ゲート電極層(13)をSi<sub>3</sub>N<sub>4</sub>膜(14)及びSiO<sub>2</sub>膜(15)で被覆し、SiO<sub>2</sub>膜(15)をエッチバックしてSi<sub>3</sub>N<sub>4</sub>(14)膜の段差部分にスペーサ膜(16)を形成し、スペーサ膜(16)をマスクとしてSi<sub>3</sub>N<sub>4</sub>膜(14)を異方性エッチングしてゲート電極層(13)の側壁にエッチングストッパー膜(17)を形成し、ゲート電極層(13)を被覆する層間絶縁膜(18)を形成し、ゲート電極層(13)上の層間絶縁膜(18)を選択的にエッチングしてコンタクト孔(19)を形成する。



18: 層間絶縁膜

19: コンタクト孔

(2)

特開平9-7971

1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成した絶縁膜上に配線層を形成する工程と、前記配線層をシリコン窒化膜及びシリコン酸化膜の積層膜で被覆する工程と、前記シリコン酸化膜を全面エッチングして前記シリコン窒化膜の段差部分にシリコン酸化膜からなるスペーサ膜を形成する工程と、前記スペーサ膜をマスクとして前記シリコン窒素膜をエッチングして前記配線層の側壁にシリコン窒化膜からなるエッチングストッパー膜を形成する工程と、前記配線層を被覆する層間絶縁膜を形成する工程と、前記配線層上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート酸化膜上にゲート電極層を形成する工程と、前記ゲート電極層をシリコン窒化膜及びシリコン酸化膜の積層膜で被覆する工程と、前記シリコン酸化膜をエッチバックして前記シリコン窒化膜の段差部分にシリコン酸化膜からなるスペーサ膜を形成する工程と、前記スペーサ膜をマスクとして前記シリコン窒素膜をエッチングして前記ゲート電極層の側壁にシリコン窒化膜からなるエッチングストッパー膜を形成する工程と、前記ゲート電極層を被覆する層間絶縁膜を形成する工程と、前記ゲート電極層上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する工程とを有することを有し、前記コンタクト孔が前記ゲート電極層の端からずれたときに前記エッチングストッパー膜により前記ゲート絶縁膜のエッチングを防止したことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、さらに詳しく言えば、配線層上に形成するコンタクト孔のマスク合わせ技術に関する。

【0002】

【従来の技術】 従来、半導体集積回路に使用される配線層上にコンタクト孔を形成する場合、図6に示すように、半導体基板上に形成した $\text{SiO}_2$ 膜(1)上にA1やポリサイド等の配線層(2)を形成し、その配線層(2)を被覆する層間絶縁膜(3)を形成し、その層間絶縁膜(3)を選択的にエッチングしてコンタクト孔(4)を形成するわけであるが、コンタクト孔(4)と配線層(2)の間にずれ余裕領域 $\Delta$ を設けていた。

【0003】 これは、コンタクト孔(4)がミスマライメントによって配線層(2)から一部分がはずれたとき、図7に示すように、下地の $\text{SiO}_2$ 膜(1)がエッチングされるのを防止するためである。

【0004】

【発明が解決しようとする課題】 上記のずれ余裕領域 $\Delta$ は、半導体集積回路の機能にとっては不要な部分であ

2

り、できるだけ小さくすることが望ましい。しかし、ステッパー等の露光装置のマスク合わせ精度や配線層の線幅のばらつきはゼロにはできないので、必ず、一定量のずれ余裕領域 $\Delta$ を設けなければならず、これがチップサイズ縮小の制約となっていた。

【0005】 本発明は、上記の課題に鑑みてなされたものであり、コンタクト孔(4)がミスマライメントによって配線層(2)から一部分がはずれた場合であっても、下地の膜がエッチングされるのを防止し、ずれ余裕領域 $\Delta$ を従来に比して小さくした設計ルールの実現を目的としている。

【0006】

【課題を解決するための手段】 上記課題を解決するために、本発明は、半導体基板上に形成した絶縁膜上に配線層を形成する工程と、前記配線層をシリコン窒化膜及びシリコン酸化膜の積層膜で被覆する工程と、前記シリコン酸化膜を全面エッチングして前記シリコン窒化膜の段差部分にシリコン酸化膜からなるスペーサ膜を形成する工程と、前記スペーサ膜をマスクとして前記シリコン窒素膜を異方性エッチングして前記配線層の側壁にシリコン窒化膜からなるエッチングストッパー膜を形成する工程と、前記配線層を被覆する層間絶縁膜を形成する工程と、前記配線層上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する工程とを有している。

【0007】

【作用】 本発明によれば、配線層の側壁にシリコン窒化膜からなるエッチングストッパー膜を形成しているので、コンタクト孔(40)がミスマライメントによって配線層から一部分がはずれた場合であっても、下地の膜がエッチングされるのを防止でき、ずれ余裕領域 $\Delta$ を従来に比して小さくした設計ルールを実現することができる。

【0008】 また、上記エッチングストッパー膜を形成するにあたり、単に、シリコン窒化膜を異方性エッチングするのではなく、シリコン酸化膜からなるスペーサ膜をマスクにしてシリコン窒化膜を異方性エッチングしているので、マスクずれ方向に対して幅の広いエッチングストッパー膜を形成でき、その分ずれ余裕領域 $\Delta$ を小さくできる。

【0009】

【実施例】 以下で、本発明の半導体装置の製造方法の一実施例を図1乃至図5を参照しながら説明する。まず、図1に示すように、シリコン基板(11)上に約150Åのゲート $\text{SiO}_2$ (12)を形成し、そのゲート $\text{SiO}_2$ 膜(12)にゲート電極層(13)を形成する。このゲート電極層(13)はポリサイド構造であり、約1000Åのポリシリコン膜と約1000Åの $\text{WSi}_2$ 膜を積層し不要部分を選択的にエッチングして形成したものである。そして、ゲート電極層(13)を被覆するように、LPCVD法により約3000Åの $\text{Si}_3\text{N}_4$ 膜

50

(3)

特開平9-7971

3

(14)を形成している。

【0010】このとき、Si<sub>3</sub>N<sub>4</sub>膜(14)にはゲート電極層(13)の形状を反映してゲート電極層(13)の両端部に段差を生じる。次に、図2に示すように、Si<sub>3</sub>N<sub>4</sub>膜(14)上に、LPCVD法により約3000ÅのSiO<sub>2</sub>膜(15)を形成する。次に、図3に示すように、SiO<sub>2</sub>膜(14)を全面エッチング(マスキレスエッチング)してSi<sub>3</sub>N<sub>4</sub>膜(14)の段差部分にスペーサ膜(16)を形成する。なお、このエッチングは、CHF<sub>3</sub>+O<sub>2</sub>ガス系を使用して行う。

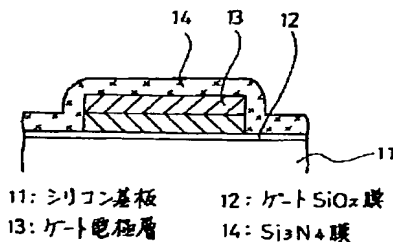
【0011】次いで、図4に示すように、そのスペーサ膜(16)をマスクとしてSi<sub>3</sub>N<sub>4</sub>膜(14)を異方性エッチングして、ゲート電極層(13)の側壁にSi<sub>3</sub>N<sub>4</sub>膜からなるエッチングストッパー膜(17)を形成する。このとき、Si<sub>3</sub>N<sub>4</sub>に対するSiO<sub>2</sub>の選択比を確保する必要があるが、そのためには、基板温度を上昇させるか、CHF<sub>3</sub>ガスにCOガスを添加する方法が報告されている。なお、この点については、「日経マイクロデバイス1995年2月号(第58頁～60頁)」に詳しく記載されている。

【0012】本発明では、上記エッチングストッパー膜(17)を形成するにあたり、単に、Si<sub>3</sub>N<sub>4</sub>膜(14)を異方性エッチングするのではなく、SiO<sub>2</sub>膜からなるスペーサ膜(16)をマスクにしてSi<sub>3</sub>N<sub>4</sub>膜(14)を異方性エッチングしているので、マスクずれ方向に対して幅の広いエッチングストッパー膜を形成でき、その分ずれ余裕領域Δを小さくできる。

【0013】本実施例の条件では、エッチングストッパー膜(17)は、基板の水平方向に約0.2μmの広がりを持ち、単に、Si<sub>3</sub>N<sub>4</sub>膜(14)を異方性エッチングする方法に比べて約0.05μm幅広のストッパー膜を形成できる。すなわち、エッチングストッパー膜(17)の広がりだけマスク合わせずれが許容されることになるが、0.5ミクロンルール以下の微細ルールにおいては0.05μmといえども相当な影響があるといえる。

\*

【図1】



4

\*【0014】さて、その後は図5に示すように、ゲート電極層(13)を被覆するように、BPSG膜等からなる層間絶縁膜(18)を形成し、その層間絶縁膜(18)を選択的にエッチングしてゲート電極(13)上にコンタクト孔(19)を形成する。このとき、上記のエッチングストッパー膜(17)があるので、コンタクト孔(19)がずれても、下地のゲート絶縁膜(12)がエッチングされることが防止される。

【0015】なお、本実施例は、ゲート電極層上にコンタクト孔を形成する場合について説明したが、本発明は、A1配線層、高融点金属配線層上に形成するコンタクト孔(ビアホール)の形成に際しても同様に適用することができる。

【0016】

【発明の効果】以上説明したように、本発明によれば、配線層の側壁にシリコン窒化膜からなるエッチングストッパー膜を形成しているので、コンタクト孔がミスマライメントによって配線層から一部分がはずれた場合であっても、下地の膜がエッチングされるのを防止でき、ずれ余裕領域Δを従来に比して小さくした設計ルールを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造方法を示す第1の断面図である。

【図2】本発明の一実施例に係る半導体装置の製造方法を示す第2の断面図である。

【図3】本発明の一実施例に係る半導体装置の製造方法を示す第3の断面図である。

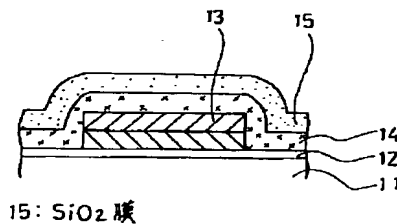
【図4】本発明の一実施例に係る半導体装置の製造方法を示す第4の断面図である。

【図5】本発明の一実施例に係る半導体装置の製造方法を示す第5の断面図である。

【図6】従来例に係る半導体装置の製造方法を示す第1の断面図である。

【図7】従来例に係る半導体装置の製造方法を示す第2の断面図である。

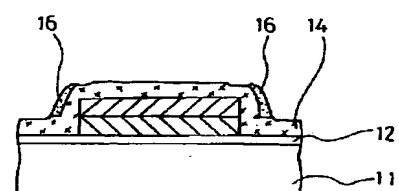
【図2】



(4)

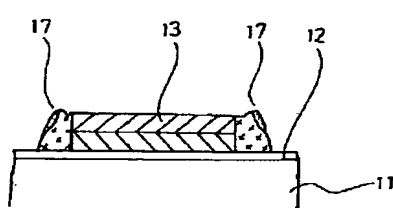
特開平9-7971

【図3】



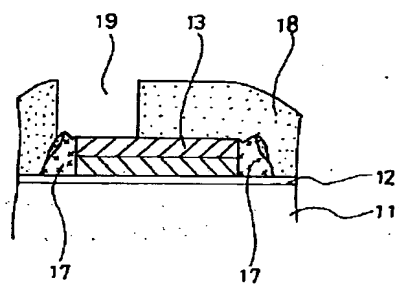
16: スペーサ膜

【図4】



17: エッチングストッパー膜

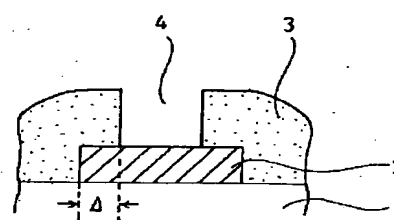
【図5】



18: 層間絶縁膜

19: コンタクト孔

【図6】



【図7】

